

WEST[Help](#)[Logout](#)[Interrupt](#)[Main Menu](#)[Search Form](#)[Posting Counts](#)[Show S Numbers](#)[Edit S Numbers](#)[Preferences](#)**Search Results -****Terms****Documents**

semiconductor and cmos and (work adj function)

10

Database:

US Patents Full-Text Database
US Pre-Grant Publication Full-Text Database
JP® Abstracts Database
EPO Abstracts Database
Derwent World Patents Index
IBM Technical Disclosure Bulletins

[Refine Search:](#)semiconductor and cmos and (work adj
function)[Clear](#)**Search History****Today's Date: 1/16/2002**

DB Name	Query	Hit Count	Set Name
JPAB	semiconductor and cmos and (work adj function)	10	<u>L7</u>
JPAB	03227562.pn.	1	<u>L6</u>
JPAB	62245658.pn.	1	<u>L5</u>
JPAB	62126671.pn.	1	<u>L4</u>
JPAB	60045053.pn.	1	<u>L3</u>
JPAB	57114281.pn.	1	<u>L2</u>
JPAB	52014383.pn.	1	<u>L1</u>

WEST



Generate Collection

L7: Entry 7 of 10

File: JPAB

Jun 2, 1998

PUB-NO: JP410150110A

DOCUMENT-IDENTIFIER: JP 10150110 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: June 2, 1998

INVENTOR- INFORMATION:

NAME

COUNTRY

OTANI, HISASHI

FUJIMOTO, ETSUKO

ASSIGNEE- INFORMATION:

NAME

COUNTRY

SEMICONDUCTOR ENERGY LAB CO LTD

APPL-NO: JP08320969

APPL-DATE: November 15, 1996

INT-CL (IPC): H01L 21/8238; H01L 27/092

ABSTRACT:

PROBLEM TO BE SOLVED: To correct the irregularity of threshold voltage of a CMOS circuit (a semiconductor device having a CMOS structure).

SOLUTION: When the threshold voltage of an insulating gate type semiconductor device is controlled, the difference of work functions between a gate electrode and an active layer is utilized. For example, the threshold voltage only of the N-type transistor can be shifted to the positive side by having the gate electrode 108 of the N-type transistor formed by a film 109, which is mainly composed of aluminum, and a chromium film 110. As impurities are not used in the semiconductor device, the device has excellent uniformity and reproducibility.

COPYRIGHT: (C)1998, JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-150110

(43)公開日 平成10年(1998)6月2日

(51)Int.Cl.⁶

H 01 L 21/8238
27/092

識別記号

F I

H 01 L 27/08

3 2 1 C

審査請求 未請求 請求項の数7 FD (全6頁)

(21)出願番号 特願平8-320969

(22)出願日 平成8年(1996)11月15日

(71)出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72)発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 藤本 悅子

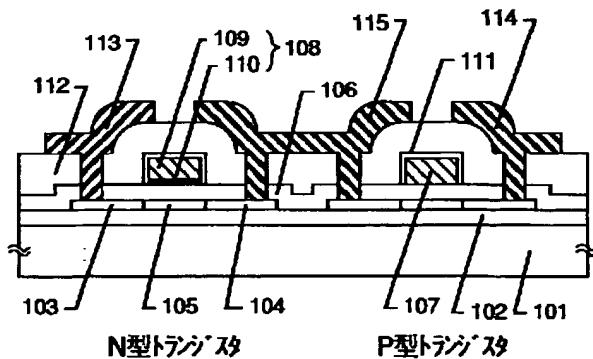
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 CMOS回路のしきい値電圧の偏りを是正する。

【解決手段】 絶縁ゲート型半導体装置のしきい値電圧を制御するにあたって、ゲート電極と活性層との仕事関数差を利用する。例えば、N型トランジスタのゲート電極108をアルミニウムを主成分とする膜109、クロム膜110とすることでN型トランジスタのしきい値電圧のみを正側にシフトさせることができる。本発明は不純物を利用しないので均一性および再現性に優れている。



【特許請求の範囲】

【請求項1】半導体で構成されるソースおよびドレイン領域と、ゲート絶縁膜と、ゲート電極とを少なくとも有するNチャネル型およびPチャネル型半導体装置を相補的に組み合わせたCMOS構造を有する半導体装置において、

前記Nチャネル型半導体装置のゲート電極は第1の配線材料で構成され、

前記Pチャネル型半導体装置のゲート電極の少なくとも前記ゲート絶縁膜と接する面は前記第1の配線材料と仕事関数の異なる第2の配線材料で構成されていることを特徴とする半導体装置。

【請求項2】半導体で構成されるソースおよびドレイン領域と、ゲート絶縁膜と、ゲート電極とを少なくとも有するNチャネル型およびPチャネル型半導体装置を相補的に組み合わせたCMOS構造を有する半導体装置において、

前記Pチャネル型半導体装置のゲート電極は第1の配線材料で構成され、

前記Nチャネル型半導体装置のゲート電極の少なくとも前記ゲート絶縁膜と接する面は前記第1の配線材料と仕事関数の異なる第2の配線材料で構成されていることを特徴とする半導体装置。

【請求項3】請求項1または請求項2において、前記第1の配線材料とはアルミニウムまたはアルミニウムを主成分とする材料であり、

前記第2の配線材料とは前記第1の配線材料よりも仕事関数の大きい材料であることを特徴とする半導体装置。

【請求項4】請求項1乃至請求項3において、前記第2の配線材料とはCr、Ni、Ge、Pd、W、Pt、Au、Co、Cu、Fe、Zn、Mo、Sn、Agから選ばれた元素でなる材料であることを特徴とする半導体装置。

【請求項5】半導体で構成されるソースおよびドレイン領域と、ゲート絶縁膜と、ゲート電極とを少なくとも有するNチャネル型およびPチャネル型半導体装置を相補的に組み合わせたCMOS構造を有する半導体装置において、

前記Nチャネル型半導体装置のゲート電極は互いに仕事関数の異なる第1の配線材料および第2の配線材料でなる積層構造を有し、

前記Pチャネル型半導体装置のゲート電極は互いに仕事関数の異なる第1の配線材料および第3の配線材料でなる積層構造を有しており、

前記Nチャネル型半導体装置のゲート電極の少なくとも前記ゲート絶縁膜と接する面は前記第2の配線材料で構成され、前記Pチャネル型半導体装置のゲート電極の少なくとも前記ゲート絶縁膜と接する面は前記第3の配線材料で構成されていることを特徴とする半導体装置。

はアルミニウムまたはアルミニウムを主成分とする材料であり、

前記第2および第3の配線材料とは前記第1の配線材料よりも仕事関数の大きい材料であることを特徴とする半導体装置。

【請求項7】請求項5または請求項6において、前記第2および第3の配線材料とはCr、Ni、Ge、Pd、W、Pt、Au、Co、Cu、Fe、Zn、Mo、Sn、Agから選ばれた元素でなる材料であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本明細書で開示する発明は、結晶性を有する半導体膜を用いた絶縁ゲート型半導体装置に関する。特に、半導体膜として珪素膜を用いたCMOS構造を有する半導体装置に関する。

【0002】

【従来の技術】近年、絶縁ゲート型トランジスタを用いたCMOS技術が盛んに開発されている。ところが、特開平4-206971号公報や特開平4-286339号公報に記載されている様に、結晶性珪素膜を活性層とするN型トランジスタの電気特性はデプレッション方向（負側）にシフトし、P型トランジスタはエンハンスメント方向（負側）にシフトする傾向にある。

【0003】即ち、N型トランジスタのしきい値電圧（V_{th,n}）は小さくなる傾向にあり、P型トランジスタのしきい値電圧（V_{th,p}）は大きくなる傾向にある。このしきい値電圧の相違は最適な電源電圧の決定を困難なものとしている。

【0004】この問題を解決するために様々なしきい値制御方法が提案されている。例えば、ICの世界ではウェルの不純物濃度やチャネル領域の不純物濃度を変えてキャリア濃度によるしきい値制御を行う方法などが一般的である。また、ポリシリコン膜で形成されるゲート電極中の不純物濃度を変えて仕事関数差によるしきい値制御を行う方法もある（Dual gate CMOS構造など）。

【0005】これらのしきい値制御方法は全て添加する不純物濃度によってしきい値電圧を制御する構成で成り立っている。しかしながら、不純物濃度の制御は均一性および再現性の確保が困難であるため、常に一定のしきい値電圧に制御するには、不確定要素が多いのが欠点である。

【0006】また、半導体装置が微細化されるに伴い、チャネル形成領域に存在する不純物元素のキャリアに対する影響が無視できなくなる。そのため、不純物濃度によるしきい値制御は半導体装置の動作速度を低下させる原因ともなりうる。

【0007】

【発明が解決しようとする課題】本発明は、CMOS構

びP型トランジスタのしきい値電圧の制御を不純物添加によらない方法で実現するための技術を提供することを課題とする。

【0008】

【課題を解決するための手段】本明細書においては、MOS (Metal-Oxide-Semiconductor)構造を有する絶縁ゲイト型半導体装置において、ゲイト電極と活性層との仕事関数差を利用してしきい値電圧 (V_{th}) の制御を行う技術を開示する。即ち、本発明はゲイト電極を構成する材料の内、少なくともゲイト絶縁膜と接する面となる材料を、所望のしきい値電圧が得られる様な導電性材料とすることに特徴がある。

【0009】従って、本発明の構成は、半導体で構成されるソースおよびドレイン領域と、ゲイト絶縁膜と、ゲイト電極とを少なくとも有するNチャネル型およびPチャネル型半導体装置を相補的に組み合わせたCMOS構造を有する半導体装置において、前記Nチャネル型半導体装置のゲイト電極は第1の配線材料で構成され、前記Pチャネル型半導体装置のゲイト電極の少なくとも前記ゲイト絶縁膜と接する面は前記第1の配線材料と仕事関数の異なる第2の配線材料で構成されていることを特徴とする。

【0010】また、他の発明の構成は、半導体で構成されるソースおよびドレイン領域と、ゲイト絶縁膜と、ゲイト電極とを少なくとも有するNチャネル型およびPチャネル型半導体装置を相補的に組み合わせたCMOS構造を有する半導体装置において、前記Pチャネル型半導体装置のゲイト電極は第1の配線材料で構成され、前記Nチャネル型半導体装置のゲイト電極の少なくとも前記ゲイト絶縁膜と接する面は前記第1の配線材料と仕事関数の異なる第2の配線材料で構成されていることを特徴とする。

【0011】第1の配線材料はゲイト電極を主として構成する材料であり、導電性を有する様々な材料が挙げられる。特に、アルミニウムまたはアルミニウムを主成分とする材料は、低抵抗であるため配線遅延の低減に有効な材料である。

【0012】また、第2の配線材料とは第1の配線材料と異なる仕事関数を有する材料であり、具体的な材料は実施者が実験的に決定しなければならない。また、ゲイト電極を第2の配線材料のみで構成するか、ゲイト絶縁膜と接する面のみを第2の配線材料で構成するかは実施者が必要に応じて決定すれば良い。

【0013】例えば、第1の配線材料のみでなるゲイト電極を有するCMOS回路 (CMOS構造を有する半導体装置) を構成した場合に従来例の様に全体的に負側へ偏ったしきい値電圧が得られたとする。そして、そのしきい値電圧を踏まえて、Pチャネル型半導体装置のしきい値電圧のみを正側にシフトさせる要求が生じたと仮定

【0014】その場合、Pチャネル型半導体装置のゲイト電極の内、少なくともゲイト絶縁膜と接する面を第1の配線材料よりも仕事関数の大きい第2の配線材料で構成することでしきい値電圧を正側へシフトさせることができる。

【0015】上述の例において、第1の配線材料としてアルミニウムまたはアルミニウムを主成分とする材料を用いると、それよりも仕事関数の大きい材料 (第2の配線材料) としてはCr、Ni、Ge、Pd、W、Pt、Au、Co、Cu、Fe、Zn、Mo、Sn、Agから選ばれた元素でなる材料を用いることができる。

【0016】勿論、必要に応じてNチャネル型半導体装置のしきい値電圧のみを制御することもできるし、場合によってはNチャネル型半導体装置およびPチャネル型半導体装置双方のしきい値電圧を個別に制御することも可能である。また、第2の配線材料として第1の配線材料よりも仕事関数の小さい材料を選べば、しきい値電圧を負側へシフトさせることもできる。

【0017】以上の様に、本発明はゲイト電極と活性層との仕事関数差のみを利用して所望のしきい値電圧を得るしきい値制御技術である。従って、本発明の基本的な思想は従来の不純物濃度によるしきい値制御技術とは根本的に異なるものであり、再現性が高く、かつ、半導体装置の動作速度を低下させないことに特徴がある。

【0018】なお、しきい値電圧には様々な定義があり絶対値の比較は定義が異なると意味を持たない。しかし本明細書ではしきい値電圧を相対的にどれだけ動かすかが問題となるので定義の違いは問題とならない。なお、参考までに本明細書におけるしきい値電圧とは、ゲート電圧 (V_g) を横軸、ドレイン電流の平方根 ($I_d^{1/2}$) を縦軸にプロットしたグラフにおいて、最大傾きにある $I_d^{1/2}$ を外挿した時の V_g 軸との接点でもって定義する (ルート I_d 外挿法)。

【0019】

【発明の実施の形態】絶縁ゲイト型半導体装置のしきい値電圧を制御するにあたって、ゲイト電極と活性層との仕事関数差を利用する。この場合、ゲイト電極の少なくともゲイト絶縁膜と接する面に所望のしきい値電圧が得られる様な導電性膜を配置することで意図的に仕事関数差を変化させることができる。

【0020】本発明はNチャネル型半導体装置またはPチャネル型半導体装置のどちらか一方に対して実施することもできるし、双方に実施することもできる。即ち、個々の半導体装置に対して個別に実施可能な技術である。

【0021】特に、本発明はしきい値電圧の偏りが問題となるCMOS構造を有する半導体装置に対して有効な技術であり、実施者の必要に応じて低消費電力特性を重視したCMOS回路や高速動作特性を重視したCMOS

【0022】

【実施例】

【実施例1】図1に示す半導体装置は本発明を利用して作製したCMOS回路の一実施例である。具体的には絶縁ゲート型半導体装置として薄膜トランジスタ(TFT)を用いたCMOS回路である。なお、本実施例ではゲート電極を主として構成する第1の配線材料としてアルミニウムを主成分とする材料を用いる。また、本実施例のCMOS回路は低消費電力特性に重きを置いた構成とする。

【0023】また、CMOS回路を構成するN型トランジスタとP型トランジスタは基本的に同一構造であるので、本実施例では必要な箇所以外はN型トランジスタの説明のみを行うこととする。

【0024】図1において、101はガラス基板、102は下地膜となる酸化珪素膜である。下地膜102の上にはソース領域103、ドレイン領域104、チャネル形成領域105で構成される活性層が配置されている。この活性層を構成する結晶性珪素膜はCVD法で直接成膜しても良いし、非晶質珪素膜を結晶化させて得る手段をとっても良い。

【0025】106は酸化珪素膜でなるゲート絶縁膜であり、その上に0.2wt%のスカンジウムを含有したアルミニウム膜でゲート電極を構成する。このゲート電極の構成に本発明を適用する。本実施例ではPチャネル型半導体装置のゲート電極107をアルミニウム膜のみで構成し、Nチャネル型半導体装置のゲート電極108をアルミニウム膜109とCr(クロム)膜110との積層構造とする。この様な構成とする理由については後述することにする。

【0026】ゲート電極107、108の表面には陽極酸化技術を用いて緻密な陽極酸化膜111が形成される。陽極酸化膜111はゲート電極の表面を熱やアラズマダメージから保護する役割を果たす。

【0027】そして、ゲート電極107、108は層間絶縁膜112に覆われ、ソース配線113、114およびドレイン配線115はゲート電極107、108と絶縁分離して配置される。これら配線はアルミニウムを主成分とする材料で構成すると、動作速度を向上させる上で望ましい。

【0028】本発明を適用すると、以上の様な構造(図1に示す構造)のCMOS回路となる。従来のCMOS回路と異なる点は、N型トランジスタのゲート電極のみが仕事関数の異なる導電性薄膜の積層構造となっている点である。以下に、本実施例においてこの様な構造を採用した理由について述べる。

【0029】本発明者らが本発明を適用しないで作製したCMOS回路の電気特性を調べた結果によると、上述のスカンジウムを含有したアルミニウム膜のみでゲート

およびP型トランジスタのしきい値電圧は共に負側にシフトすることが判明している。

【0030】しきい値電圧が負側にシフトするとは、TFTの電気特性を示すId-Vg特性(Id-Vg曲線)が、図2(A)に示す様に全体的に負側にシフトすることに対応する。これは仕事関数差を原因とするものとプロセス上の問題(ゲート絶縁膜や活性層の膜質等)を原因とするものとの複合作用によって現れるシフトである。なお、201はN型トランジスタのId-Vg特性、202はP型トランジスタのId-Vg特性である。

【0031】しかしながら、図1に示す様な本発明を適用した構造を有するCMOS回路の電気特性は図2(B)に示す様なId-Vg特性を実現する。即ち、P型トランジスタのId-Vg特性203は変化せず、N型トランジスタのId-Vg特性204は全体的に正側にシフトする。これは、N型トランジスタのみ仕事関数差による影響を受けてしきい値電圧が変化したためである。

【0032】図2(B)に示す様なId-Vg特性を実現するCMOS回路は、ウィンドウ(N型トランジスタのしきい値電圧とP型トランジスタのしきい値電圧の差)を適切に広くとることで待機時のリーク電流の小さい回路構成とすることが可能である。従って、本実施例で示す構成は低消費電力特性に重きを置いたCMOS回路を構成するために有効である。

【0033】【実施例2】本実施例では高速動作特性に重きを置いたCMOS回路の一実施例を示す。なお、CMOS回路の基本的な構造は図1と同一であるので、特に異なる箇所以外は実施例1と同じ符号で説明する。

【0034】本実施例の様に高速動作特性を有するCMOS回路を構成するためには実施例1とは逆にウィンドウの狭いId-Vg特性(またはN型とP型とで互いに交差する領域が存在する様なId-Vg特性)が望まれる。これはCMOS回路におけるN型およびP型トランジスタのオン/オフの切り換えを迅速に行うために必要な構成である。

【0035】以上の要求を踏まえて、本発明を適用すると図3に示す構造のCMOS回路を得ることができる。図3に示す構造は、P型トランジスタのゲート電極のみを仕事関数の異なる導電性薄膜の積層構造とする場合の例である。

【0036】図3においてN型トランジスタのゲート電極301はアルミニウムにスカンジウムを含有させた材料のみで構成され、P型トランジスタのゲート電極302はアルミニウム膜303、W(タンクステン)膜304との積層構造で構成されている。

【0037】本実施例に示す構成とした場合、図2(A)に示す様なId-Vg特性201、202は図4に示す様な状態に変化する。即ち、N型トランジスタのId-Vg特性401は変化せず、P型トランジスタのId-Vg特

のId-Vg 特性401、402は互いに交差する恰好となっている。

【0038】この様なId-Vg 特性を実現するCMOS回路は、N型トランジスタとP型トランジスタとを切れ間なく連続的に動作させることができるので、迅速なオン／オフ動作の切り換えが可能である。従って、ロジック回路を構成する場合の様に高周波数領域で駆動する場合にも対応可能な高速動作特性を実現する。

【0039】また、図3の構造でなるCMOS回路のソース／ドレイン領域に対して公知のシリサイド技術を適用してコンタクトの低抵抗化を図ることも高速動作特性を実現する上で有効である。

【0040】〔実施例3〕実施例1および実施例2ではゲート電極を主として構成する第1の配線材料としてアルミニウムを主成分とする材料を例に挙げたが、他にもタンタル、モリブデン、タンクスチンなどの導電性材料や導電性を付与した結晶性珪素膜（多結晶シリコン膜）などを用いることができる。

【0041】その場合、ゲート電極をどの様な材料で構成するかを踏まえて、本発明の特徴である第2の配線材料を決定すれば良い。即ち、本発明の主旨に沿う構成であれば第1および第2の配線材料は特定の材料に限定されるものではない。

【0042】〔実施例4〕本発明は絶縁ゲート型半導体装置全般に適用することのできる技術であり、単結晶シリコン上に形成されたIGFET やパワーMOS 等に応用することも可能である。また、単結晶シリコン薄膜を利用するSOI 構造、あるいは非晶質珪素膜を活性層とするアモルファスシリコンTFTに適用することもできる。

【0043】さらに、実施例1および実施例2に示したトップゲート型TFTのみならず逆スタガなどのボトムゲート型TFTに適用することも可能である。

【0044】この様に本発明の適用範囲は非常に幅広く、ゲート電圧の制御で駆動する絶縁ゲート型半導体装置であればその構造に関係なく適用できる。特に、絶縁ゲート型のN型トランジスタおよびP型トランジスタとを相補的に組み合わせたCMOS回路を構成する上で本発明は極めて有効な技術である。

【0045】〔実施例5〕本発明を適用した絶縁ゲート型半導体装置およびそれを組み合わせたCMOS回路を基本として様々なロジック回路を構成することができる。例えば、電気光学装置（液晶表示装置、EL表示装置、EC表示装置等）の画素TFTや周辺駆動回路、さらにはメモリ回路や演算回路に至るまでの全ての集積化

回路を構成することが可能である。

【0046】その他にもIC回路やSOI技術を利用した回路と組み合わせることでDRAM回路、SRAM回路、BiCMOS回路等のVLSI回路またはULSI回路を二次元構造または三次元構造の形態で構成することが可能である。

【0047】そして、本発明により得られる低消費電力特性や高速動作特性を使い分けた集積化回路を、ビデオカメラ、携帯情報端末機器（携帯電話、モバイルコンピュータ等）、プロジェクションなどの電子機器に利用することができる。

【0048】

【発明の効果】本発明はゲート電極の材料を選択することで仕事関数差を変化させ、絶縁ゲート型半導体装置のしきい値電圧を制御する技術である。本発明を実施することで不純物濃度による制御を必要とせずに均一性および再現性に優れたしきい値制御を行うことが可能となる。

【0049】また、本発明をCMOS構造を有する半導体装置（CMOS回路）に適用することで、N型トランジスタとP型トランジスタのしきい値電圧の偏りを是正し、要求される特性を実現するCMOS回路を構成することができる。

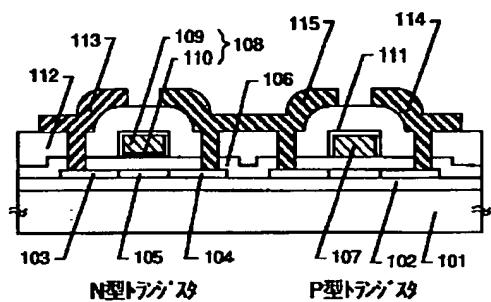
【図面の簡単な説明】

- 【図1】 CMOS回路の構造を示す図。
- 【図2】 CMOS回路の電気特性を示す図。
- 【図3】 CMOS回路の構造を示す図。
- 【図4】 CNMOS回路の電気特性を示す図。

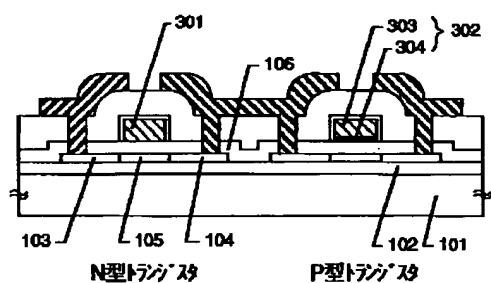
【符号の説明】

30	101	ガラス基板
	102	下地膜
	103	ソース領域
	104	ドレイン領域
	105	チャネル形成領域
	106	ゲート絶縁膜
	107	P型トランジスタのゲート電極
	108	N型トランジスタのゲート電極
	109	第1の配線材料（アルミニウム膜）
40	110	第2の配線材料（クロム膜）
	111	陽極酸化膜
	112	層間絶縁膜
	113、114	ソース配線
	115	ドレイン配線

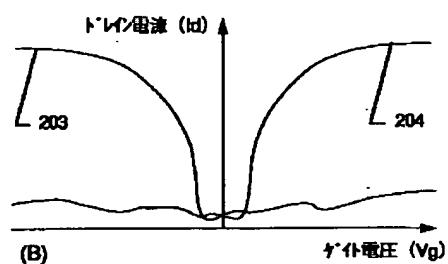
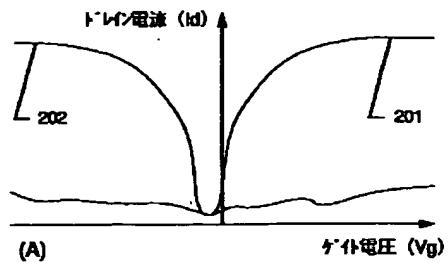
【図1】



【図3】



【図2】



【図4】

